



502

(19) KOREAN INTELLECTUAL PROPERTY OFFICE (KR)
(12) PATENT LAID-OPEN GAZETTE (A)

(51) \circ Int. Cl. ⁷
H01L 27/105
(21) Application No. 10-2001-0016309
(71) Applicant: Hynix Semiconductor Inc.
San 136-1, Ami-ri, Bubal-eub, Ichon-shi, Kyoungki-do
(11) Laid-Open Publication No.: 2002-0076460
(43) Laid-Open Publication Date: October 11, 2002
(22) Filing Date: March 28, 2001
(72) Inventor: Sun Yong CHA
912-1401 Byukjukgol Joogong Apt., 970-3,
Yongtong-dong, Paldal-gu, Suwon-si, Kyungki-do
(74) Patent Attorney(s): Hoo Dong LEE, Jung Hoon LEE
Request for Examination: Yes
(54) MAGNETIC RANDOM ACCESS MEMORY AND MANUFACTURING METHOD
THEREOF

ABSTRACT

A magnetic RAM (hereinafter, referred to as "MRAM") and a manufacturing method thereof are provided. More specifically, in a memory device having a faster speed than that of a SRAM, an integration degree of a DRAM and a nonvolatile memory characteristic such as a flash memory, the MRAM comprises a vertical structure transistor, a first word line comprising the transistor, a contact line connected to the transistor, a MTJ cell deposited on the contact line, a bit line deposited on the MTJ cell, and a second word line deposited on the MTJ cell formed on the bit line, which results in high integration of a semiconductor device, in improvement of a short channel effect and resistance control and in simplification of a process.

BEST AVAILABLE COPY

공개특허 제2002-76460호(2002.10.11) 1부.

[첨부그림 1]

특 2002-0076460

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. H01L 27/105	(11) 공개번호 (43) 공개일자	특2002-0076460 2002년10월11일
(21) 출원번호	10-2001-0016309	
(22) 출원일자	2001년03월28일	
(71) 출원인	주식회사 하이닉스반도체	
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 차선용	
(74) 대리인	경기도수원시팔달구영동동970-3책적골주공아파트912-1401 이후동, 이정훈	

심사관구 : 있음

(54) 마그네틱 램 및 그 형성방법

요약

본 발명은 마그네틱 램 (magnetic RAM, 이하에서 MRAM 이라 함) 및 그 형성방법에 관한 것으로, 특히, SRAM 보다 빠른 속도, DRAM 과 같은 집적도 그리고 플래시 메모리 (flash memory) 와 같은 비휘발성 메모리의 특성을 갖는 메모리 소자에 있어서, 수직구조의 트랜지스터와, 상기 트랜지스터가 구비되는 제1워드라인과, 상기 트랜지스터에 접속되는 콘택 라인과, 상기 콘택 라인에 적층되는 MTJ 셀과, 상기 MTJ 셀에 적층되는 비트라인과, 상기 비트라인 상부의 상기 MTJ 셀 상측에 적층되는 제2워드라인으로 구성되는 마그네틱 램을 제공하고, 그에 따른 반도체소자의 고집적화, 숫재벌효과 특성 향상, 저항 제어도 향상 및 공정 단순화를 가능하게 하는 기술이다.

도면

도 2a

도면

도면의 간단한 설명

도 1 은 종래기술에 따른 마그네틱 램을 도시한 단면도.

도 2a 내지 도 2c 는 본 발명의 제1실시예에 따른 마그네틱 램의 단위셀을 도시한 단면도, 회로도 및 평면도.

도 3 은 본 발명의 제1실시예에 따른 반도체소자의 마그네틱 램의 평면도.

도 4 은 본 발명의 제2실시예에 따른 반도체소자의 마그네틱 램의 평면도.

도 5 은 본 발명의 제3실시예에 따른 반도체소자의 마그네틱 램의 평면도.

< 도면의 주요부분에 대한 부호의 설명 >

- 31,111 : 반도체가판
- 33,113 : 게이트전극, 제1워드라인
- 35a,113 : 소오스 집합영역35b,117 : 드레인 집합영역
- 37a : 접지선37b : 제1도전층
- 39,123 : 제1출간절연막
- 41 : 제1콘택플러그43 : 하부리드층
- 45,135 : 제2출간절연막47,141 : 제2워드라인, 라이트라인
- 48,139 : 제3출간절연막49 : 제2콘택플러그
- 51 : 씨드층53 : 제4출간절연막
- 55,129 : 고정 강자층57,131 : 터널 집합층
- 59,133 : 자유 강자층60 : 제5출간절연막
- 61,137 : 비트라인 100,200 : MTJ 셀
- 115 : 원형기둥 형태의 반도체가판

125 : 콘택 라인 127 : 반자성층

본 발명의 상세한 설명

본 발명의 목적

본 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 마그네틱 램 및 제조방법에 관한 것으로, 특히 SRAM 보다 빠른 속도, DRAM 과 같은 집적도 그리고 플래시 메모리 (flash memory) 와 같은 비휘발성 메모리의 특성을 갖는 마그네틱 램 (magnetic RAM, 이하에서 MRAM 이라 함) 을 고집적화시키는 기술에 관한 것이다.

대부분의 반도체 메모리 제조 업체들은 차세대 기억소자의 하나로 강자성체 물질을 이용하는 MRAM 의 개발을 하고 있다.

상기 MRAM 은 강자성 박막을 다층으로 형성하여 각 박막의 자화방향에 따른 전류 변화를 감지함으로써 정보를 읽고 쓸 수 있는 기억소자로서, 자성 박막 고유의 특성에 의해 고속, 저전력 및 고집적화를 가능하게 할뿐만 아니라, 플래시 메모리와 같이 비 휘발성 메모리 동작이 가능한 소자이다.

상기 MRAM 은 스핀이 전자의 전달 현상에 지대한 영향을 미치기 때문에 생기는 거대자기저항 (giant magnetoresistive, GMR) 현상이나 스핀 편극 자기투과 현상을 이용해 메모리 소자를 구현하는 방법이 있다.

상기 거대자기 저항(GMR) 현상을 이용한 MRAM 은, 비자성층들 사이에 두 두 자성층에서 스핀방향이 같은 경우보다 다른 경우의 저항이 크게 다른 현상을 이용해 GMR 자기 메모리 소자를 구현하는 것이다.

상기 스핀 편극 자기 투과 현상을 이용한 MRAM 은, 절연층들 사이에 두 두 자성층에서 스핀 방향이 같은 경우가 다른 경우보다 전류 투과가 훨씬 잘 일어난다는 현상을 이용하여 자기 투과절합 메모리 소자를 구현하는 것이다.

그러나, 상기 MRAM 에 대한 연구는 현재 초기 단계에 있으며, 주로 다층 자성 박막의 형성에 집중되어 있고, 단위 셀 구조 및 주변 감지 회로 등에 대한 연구는 아직 미비한 실정이다.

도 1 은 종래기술에 따른 마그네틱 램 형성방법을 도시한 단면도와 구동 회로도를 도시한 것이다.

도 1 을 참조하면, 반도체기판(31) 상부에 게이트전극(33), 즉 제1워드라인을 형성한다.

그리고, 상기 제1워드라인(33)의 양측 반도체기판(31)에 소오스/드레인 접합영역(35a, 35b)을 형성하고 그에 접속되는 접지선(37a)과 제1도전층(37b)을 형성한다. 이때, 상기 접지선(37a)은 상기 제1도전층(37b) 형성공정시 형성한다.

그 다음, 전체표면 상부를 평탄화시키는 제1층간절연막(39)을 형성하고 상기 제1도전층(41)을 노출시키는 제1콘택플러그(41)를 형성한다.

그리고, 상기 제1콘택플러그(41)에 접속되는 하부리드층인 제2도전층(43)을 패터닝한다.

전체표면상부를 평탄화시키는 제2층간절연막(45)을 형성하고 상기 제2층간절연막(45) 상부에 라이트라인(47)인 제2워드라인을 형성한다.

그리고, 상기 라이트라인(47)인 제2워드라인 상부를 평탄화시키는 제3층간절연막(48)을 형성한다.

그리고, 상기 제2도전층(43)을 노출시키는 제2콘택플러그(49)를 형성한다.

그리고, 상기 제2콘택플러그(49)에 접속되는 씨드층(51)을 형성한다. 이때, 상기 씨드층(51)은 상기 제2콘택플러그(49) 상측으로부터 상기 라이트라인(47) 상측에 증착되도록 형성한다.

그 다음, 상기 씨드층(51)을 노출시키는 평탄화된 제4층간절연막(53)을 형성한다.

그리고, 상기 씨드층(51) 상부에 반자성층(도시안됨), 고정 강자성층(pinned ferromagnetic)(55), 터널 접합층(tunnel junction layer)(57) 및 자유 강자성층(free ferromagnetic)(59)을 적층하여 MTJ (magnetic tunnel junction) 셀(100)을 형성하고, 상기 라이트라인(47) 만큼의 패턴 크기로 증착하여 형성한다.

여기서, 상기 반자성층은 고정층의 자화 방향이 변하지 않도록 하는 역할을 하며, 상기 터널 접합층(57)은 자화 방향이 한 방향으로 고정되어 있는 것이다. 그리고, 상기 자유 강자성층(59)은 외부 자장에 의해 자화 방향이 바뀌어 지며, 상기 자유 강자성층(59)의 자화 방향에 따라 '0' 또는 '1' 의 정보를 기억할 수 있다.

그 다음, 전체표면상부에 제5층간절연막(60)을 형성하여 평탄화시킴으로써 상기 자유 강자성층(59)을 노출시키고, 상기 자유 강자성층(59)에 접속되는 상부리드층, 즉 비트라인(61)을 형성한다.

한편, 상기 도 1 을 참조하여 상기 MRAM 의 구조 및 동작을 설명하면 다음과 같다.

먼저, MRAM 의 단위 셀은 정보를 읽을 때 사용되는 리드라인인 제1워드라인(33)이 구비되는 전계효과트랜지스터 한 개와 MTJ 셀(100), 전류를 가하여 외부 자기장을 형성하여 상기 MTJ 셀에 자화 방향을 결정하는 라이트라인인 제2워드라인(47), 상기 MTJ 셀에 수직 방향으로 전류를 가하여 자유층의 자화방향을 읽 수 있게 하는 상부리드층인 비트라인(61)으로 이루어진다.

여기서, 상기 MTJ 셀(100) 내의 정보를 읽는 동작은, 상기 리드라인인 제1워드라인(33)에 전압을 가해 전계효과 트랜지스터를 동작시키고 상기 비트라인(61)에 전류를 가할 때 흐르는 전류의 크기를 감지함으로

써 상기 MTJ 셀 내의 자유 강유전층의 자화 방향으로 체크하는 것이다.

상기 MTJ 셀(100) 내에 정보를 기억시키는 동작은, 전계효과 트랜지스터를 오프(off) 상태로 유지한 채, 상기 라이트라인(47)인 제2워드라인과 비트라인(61)에 전류를 가해 발생되는 자기장으로 자유 강유전층(53)의 자화방향을 제어하는 것이다.

이때, 상기 비트라인(61)과 라이트라인(47)에 동시에 전류를 가하는 이유는, 두 금속선이 수직으로 교차하는 지점에서 자기장이 가장 크게 발생되며 이것으로 인하여 여러 셀 배열 중에서 한 셀을 선택할 수 있기 때문이다.

또한, 상기 MRAM 내부에서의 MTJ 셀의 동작을 설명하면 다음과 같다.

먼저, 상기 MTJ 셀에 수직 방향으로 전류가 흐를 경우 절연층을 통한 터널링 전류가 흐르게 되고,

터널 접합층과 자유 강자성층의 자화 방향이 같으면 터널링 전류가 커지며,

터널 접합층과 자유 강자성층의 자화 방향이 같으면 터널링 전류가 흐르게 작게 되는 TMR (tunneling magnetoresistance) 효과라 한다.

그리고, 상기 TMR 효과에 의한 전류 크기를 감지하여 자유 강자성층의 자화 방향을 감지하고 그에 따라 셀에 저장된 정보를 알 수 있다.

상기한 바와같이 종래기술에 따른 마그네틱 램은, 수평구조의 트랜지스터를 구비하고 그 상부에 제2워드라인인 라이트라인 및 MTJ 셀이 스택 형태로 구성되어 있다. MRAM 의 실현에 있어서 가장 큰 문제점은 MTJ 셀이 형성되는 하부구조가 수 nm 크기로 표면 거칠기가 제어되어야 한다는 것이다. 그러나, MTJ 셀 하부에 제2워드라인 및 콘택 관련 배선 등이 있어 수 nm 크기로 표면 거칠기를 제어하기가 어려운 문제점이 있다.

전체적인 구조에서도 DRAM 보다 복잡하여 단위 셀당 두 개의 워드라인과 한 개의 비트라인 외에 접지를 위한 그라운드 배선의 총 4개의 금속 배선을 필요로 하게 된다. 또한, MTJ 셀을 이용한 MRAM 의 궁극적인 목표는 수-100 기가 급 정도의 고집적도에 있으나 이를 위하여 트랜지스터의 숏채널효과 (short channel effect) 및 저항의 제어도를 높이는 것 또한 중요한 장점이 될 것이다. 그러나, 저항은 트랜지스터의 크기가 작아질수록 제어하기 어렵고, 트랜지스터의 저항은 MTJ 셀의 저항과 맞물려 셀 동작에 큰 영향을 미치는 문제점이 있다.

본 발명이 이루고자 하는 기술적 과제

본 발명은 상기한 바와 같은 종래기술의 문제점을 해소하기 위하여, 수평구조 트랜지스터를 이용한 MRAM 셀 구조 대신 수직구조 트랜지스터를 이용한 MRAM 셀 구조를 형성하여 집적도를 향상시키고 셀 구조 및 제조공정을 단순화하여 트랜지스터의 숏채널효과 및 저항의 제어도를 높을 수 있는 마그네틱 램 및 그 형성방법을 제공하는데 그 목적이 있다.

본 발명의 구성 및 작용

상기 목적 달성을 위해 본 발명에 따른 마그네틱 램은,

마그네틱 램에 있어서,

수직구조의 트랜지스터와;

상기 트랜지스터가 구비되는 제1워드라인과;

상기 트랜지스터에 접속되는 콘택 라인과;

상기 콘택 라인에 접속되는 MTJ 셀과;

상기 MTJ 셀에 접속되는 비트라인과;

상기 비트라인 상부의 상기 MTJ 셀 상부에 접속되는 제2워드라인으로 구성되는 것을 특징으로 한다.

또한, 이상의 목적을 달성하기 위해 본 발명에 따른 마그네틱 램 형성방법은,

반도체기판을 액티브 마스크를 이용한 사진식각공정으로 식각하여 원형기둥을 형성하는 공정과,

전체표면상부에 게이트산화막을 형성하는 공정과,

전면에 고농도의 불순물을 이온주입하고 드레인-인하여 상기 원형기둥의 상부에 드레인 접합영역을 형성하여 상기 원형기둥의 하측 및 반도체기판 표면에 소오스 접합영역을 형성하는 공정과,

상기 드레인 접합영역을 노출시키는 평탄화된 게이트전극을 도전층을 형성하고 이를 패터닝하여 게이트전극인 제1워드라인을 형성하는 공정과,

전체표면상부를 평탄화시키는 제1층간절연막을 형성하는 공정과,

상기 제1층간절연막을 통하여 상기 드레인 접합영역에 접속되는 콘택라인을 증착하는 공정과,

상기 콘택라인 상부에 반자성층, 고정 강자성층, 터널 접합층 및 자유 강자성층을 형성하는 공정과,

MTJ 셀 마스크를 이용한 사진식각공정으로 상기 콘택라인, 반자성층, 고정 강자성층, 터널 접합층 및 자유 강자성층을 패터닝하여 MTJ 셀을 형성하는 공정과,

상기 MTJ 셀을 노출시키는 평탄화된 제2층간절연막을 형성하는 공정과,

상기 자유 강자성층에 접속되는 비트라인을 형성하는 공정과,
 상기 비트라인 상부의 MTJ 셀 상측에 제2워드라인을 형성하는 공정을 포함하는 것을 제1특징으로 한다.
 또한, 이상의 목적을 달성하기 위해 본 발명에 따른 마그네틱 램 형성방법은,
 마그네틱 램 형성방법에 있어서,
 반도체기판을 액티브 마스크를 이용한 사전식각공정으로 식각하여 원형기둥을 형성하는 공정과,
 전체표면상부에 게이트산화막을 형성하는 공정과,
 전면에 고농도의 불순물을 이온주입하고 드라이브-인하여 상기 원형기둥의 상측에 드레인 집합영역을 형성하여 상기 원형기둥의 하측 및 반도체기판 표면에 소오스 집합영역을 형성하는 공정과,
 전체표면상부에 소정두께 게이트전극용 도전층을 형성하고 이를 미방성식각하여 상기 원형기둥의 측벽에 도전층 스페이서 형태를 갖는 게이트전극, 즉 제1워드라인을 형성하는 공정과,
 전체표면상부를 평탄화시키는 제1층간절연막을 형성하는 공정과,
 상기 제1층간절연막을 통하여 상기 드레인 집합영역에 접속되는 콘택라인을 증착하는 공정과,
 상기 콘택라인 상부에 반자성층, 고정 강자성층, 터널 집합층 및 자유 강자성층을 형성하는 공정과,
 MTJ 셀 마스크를 이용한 사전식각공정으로 상기 콘택라인, 반자성층, 고정 강자성층, 터널 집합층 및 자유 강자성층을 패터닝하여 MTJ 셀을 형성하는 공정과,
 상기 MTJ 셀을 노출시키는 평탄화된 제2층간절연막을 형성하는 공정과,
 상기 자유 강자성층에 접속되는 비트라인을 형성하는 공정과,
 상기 비트라인 상부의 MTJ 셀 상측에 제2워드라인을 형성하는 공정을 포함하는 것을 제2특징으로 한다.
 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.
 도 2a 내지 도 2c 는 본 발명의 제1실시예에 따라 형성되는 마그네틱 램을 도시한 단면도, 회로도 및 평면도를 도시한 것이다.
 상기 도 2a 는 본 발명의 실시예에 따른 마그네틱 램의 단면도이다.
 상기 마그네틱 램은 원형기둥을 갖는 반도체기판(111) 표면, 즉 원형기둥의 하측 반도체기판에 구비되는 소오스 집합영역(113)과, 상기 소오스 집합영역(113)의 중앙부에 위치한 원형기둥의 상측에 구비되는 드레인 집합영역(117)과, 상기 원형기둥을 포함한 반도체기판(111) 표면에 형성되는 게이트산화막(119)과, 상기 원형기둥의 측벽에 구비되는 게이트전극(121)으로 구성되는 수직구조의 트랜지스터; 상기 트랜지스터의 드레인 집합영역(117)에 접속되는 콘택라인(125), MTJ 셀(200)의 직층구조; 상기 MTJ 셀(200)에 접속되는 비트라인(137); 상기 비트라인(137) 상부의 MTJ 셀(200) 상측에 구비되는 제2워드라인인 라이트라인(141)으로 구성된다.
 그리고, 상기 MTJ 셀(200)은 상기 원형기둥 측벽에 형성되는 게이트전극(121)을 도포하는 크기의 선포면으로 형성된 것이다.
 또한, 상기 MTJ 셀(200)은 선포 층상에 따른 상기 비트라인(137) 또는 제2워드라인인 라이트라인(141)이 증착되는 크기로 형성된 것이다.
 상기 도 2a 의 MRAM 을 형성하는 방법을 설명하면 다음과 같다.
 도 2a 를 참조하면, 수직구조의 트랜지스터를 형성하기 위해 반도체기판(111)을 일정두께 식각하여 원형기둥이 구비되는 반도체기판(111)을 형성한다.
 그 다음, 상기 원형기둥이 구비되는 반도체기판(111) 표면에 게이트산화막(119)을 성장시킨다.
 그리고, 상기 반도체기판(111)의 표면에 고농도의 연형 불순물을 이온주입하여 소오스/드레인 집합영역(113, 117)을 형성한다. 여기서, '115' 는 원형기둥 형태를 갖는 반도체기판(111)을 도시한 것이다.
 이때, 상기 불순물 이온주입공정은 인(P)이나 비소(As) 등을 30 KeV 이상의 에너지를 이용하여 5E14 이상의 도즈량으로 실시한 것이다. 그리고, 상기 원형기둥의 하측에 구비되는 소오스 집합영역(113)은 추후공정인 드라이브-인 (drive-in) 공정으로 상기 반도체기판(111)의 표면에 주입된 불순물이 확산되어 형성된 것이다. 여기서, 상기 원형기둥은 0.5 μm 이상의 높이로 형성하여 소오스/드레인 집합영역이 각각 분리되어 채널이 형성할 수 있도록 한다.
 전체표면상부에 게이트전극용 도전층 예들면 폴리실리콘층을 증착하고 이를 평탄화시킨 다음, 게이트전극 마스크(도시안됨)를 이용한 식각공정으로 상기 게이트전극용 폴리실리콘층을 식각하여 상기 원형기둥 측벽에 게이트전극(121), 즉 제1워드라인을 형성한다. 여기서, 상기 게이트전극 마스크는 상기 원형기둥을 포함하는 제1워드라인을 형성할 수 있도록 디자인된 제1워드라인 마스크를 말하는 것이다.
 여기서, 상기 게이트전극(121)은 전체표면상부에 게이트전극용 도전층, 예들면 폴리실리콘층을 일정두께 증착하고 이를 미방성식각하여 스페이서 형태로 형성할 수도 있다. 이때, 제1워드라인 간의 간격을 제1워드라인 영역에 포함되는 원형기둥 간의 간격보다 1.5 이상 크게 디자인하고 후속공정인 미방성식각공정시 제1워드라인 영역에 상기 폴리실리콘층이 남고 제1워드라인 사이의 영역에는 상기 폴리실리콘층이 남지 않도록 게이트전극을 형성할 수도 있다.
 그 다음, 전체표면상부에 평탄화된 제1층간절연막(123)을 형성한다.

그리고, 상기 드레인 접합영역(117)을 노출시키는 콘택홀을 형성하고 이를 통하여 상기 드레인 접합영역(117)에 접속되는 콘택라인(125)을 형성한다.

상기 콘택라인(125) 상부에 반자성층(127), 고정 강자성층(129), 터널접합층(131) 및 자유 강자성층(133)을 적층하고 MTJ 셀 마스크(도시안됨)를 이용한 사진식각공정으로 상기 적층구조를 식각하여 상기 콘택라인(125), 반자성층(127), 고정 강자성층(129), 터널접합층(131) 및 자유 강자성층(133)을 패터닝하여 상기 제1출간절연막(135)을 노출시킨다. 이때, 상기 반자성층(127), 고정 강자성층(129), 터널접합층(131) 및 자유 강자성층(133)의 적층구조를 MTJ 셀이라 한다.

그리고, 전체표면상부를 평탄화시키는 제2출간절연막(135)을 형성하고 상기 자유 강자성층(133)을 노출시키도록 평탄화시킨다.

그리고, 상기 자유 강자성층(133)에 접속되는 비트라인(137)을 형성한다. 이때, 상기 비트라인(137)은 상기 MTJ 셀(200)과 같은 폭을 갖도록 디자인된 것이다.

그 다음, 전체표면상부에 제3출간절연막(139)을 형성한다.

그리고, 상기 MTJ 셀(200) 상측의 상기 제1출간절연막(139) 상부에 제2워드라인인 라이트라인(141)을 패터닝한다.

이때, 상기 라이트라인(141)은 상기 비트라인(137)과 직교하고, 상기 MTJ 셀(200)과 폭과 같은 크기를 갖는 선폭으로 형성된 것이다.

그리고, 상기 제3출간절연막(139)은 상기 라이트라인(141)의 패터닝공정시 식각하거나 남길 수 있다.

도 2b 는 상기 도 2a 의 마그네틱 램 (MRAM) 의 구동 회로도를 도시한 것으로, 여기에 사용되는 MOSFET 는 수직구조로 구비된 것이다.

도 2c 는 상기 도 2b 의 마그네틱 램의 단위셀을 도시한 평면도로서, 비트라인(137)과 제2워드라인인 라이트라인(141)이 교차되어 중첩되는 크기로 MTJ 셀(200)이 구비되고, 그 내측에 중심부로부터 드레인 접합영역(117), 게이트산화막(119) 및 제1워드라인(121)이 구비된 것을 도시한다.

도 3 은 본 발명의 제1실시예에 따라 형성된 마그네틱 램의 다수를 도시한 평면도로서, 상기 도 2c 의 제1워드라인(121), 비트라인(137), MTJ 셀(200) 및 제2워드라인(141)로 구성되는 마그네틱 램의 단위셀이 다수 연결된 것을 도시한다.

이때, 상기 제1워드라인(121)과 제2워드라인(141)은 중첩되어 구비되고, 상기 비트라인(137)은 상기 워드라인(121,141)과 직교하는 형태로 구비되며, 상기 MTJ 셀(200)은 상기 비트라인(137)과 제2워드라인(141)이 중첩되는 부분만큼의 크기로 구비된다.

그리고, 상기 MTJ 셀(200) 간의 거리는 1 F, 상기 비트라인(137)이나 워드라인(121,141)의 선폭은 1.5 F 으로 한다. 그리고, 상기 워드라인(121,141) 간의 간격과, 하나의 워드라인 상의 원형기둥 간격을 1 F 로 한다. 여기서, 상기 'F' 는 패터닝할 수 있는 최소 선폭 단위를 말한다.

그리고, 상기 비트라인이나 워드라인의 선폭은 필요에 따라 조절함으로써 상기 MTJ 셀의 크기를 정의하고, 그에 따른 MRAM 의 정전용량을 정의할 수 있다.

도 4 는 본 발명의 제2실시예에 따른 반도체소자의 마그네틱 램을 도시한 평면도로서, 기본적으로 상기 제1실시예와 같은 형태로 형성되되, 상기 제1실시예에서의 원형기둥 직경과 같은 선폭으로 비트라인(137)과 제2워드라인인 라이트라인(141)을 디자인하고 상기 비트라인(137)과 제2워드라인(141)의 중첩영역 만큼의 크기로 MTJ 셀(200)을 형성한 것을 도시한다.

이때, 상기 MTJ 셀(200) 간의 거리와 상기 비트라인(137)의 선폭을 1 F 로 하고, 상기 워드라인(121,141)의 선폭을 1.5 F 로 디자인한 것이다. 그리고, 상기 워드라인(121,141) 간의 간격과, 하나의 워드라인 상의 원형기둥 간격을 1 F 로 한다.

그리고, 상기 비트라인이나 워드라인의 선폭은 필요에 따라 조절함으로써 상기 MTJ 셀의 크기를 정의하고, 그에 따른 MRAM 의 정전용량을 정의할 수 있다.

도 5 는 본 발명의 제3실시예에 따른 반도체소자의 마그네틱 램을 도시한 평면도로서, 기본적으로 상기 제1실시예와 같은 형태로 형성되되, 상기 제1실시예에서의 원형기둥 직경과 같은 선폭으로 비트라인(137)과 제2워드라인인 라이트라인(141)을 디자인하고 상기 비트라인(137)과 제2워드라인(141)의 중첩영역 만큼의 크기로 MTJ 셀(200)을 형성한 것을 도시한다.

이때, 상기 MTJ 셀(200) 간의 거리와 상기 비트라인(137)과 제2워드라인인 라이트라인(141)의 선폭을 1 F 로 하고, 상기 제1워드라인(121)의 선폭을 1.5 F 로 디자인한 것이다. 그리고, 상기 제2워드라인(141) 간의 간격, 다시말하면 비트라인(137) 상의 원형기둥 간의 간격을 1 F 로 하고, 하나의 제2워드라인(141) 상의 원형기둥 간의 간격을 1 F 로 한다.

그리고, 상기 비트라인(137)이나 제2워드라인인 라이트라인(141)의 선폭은 필요에 따라 조절함으로써 상기 MTJ 셀의 크기를 정의하고, 그에 따른 MRAM 의 정전용량을 정의할 수 있다.

참고로, 본 발명에 따른 제1,2,3 실시예에 따른 MRAM 의 데이터 기억 동작은 다음과 같다.

먼저, 제1워드라인(121)인 게이트전극에 전류를 흘려 발생되는 자기장을 이용하여 MTJ 셀(200)의 자유 스핀 (free spin) 구조를 변경되되, 상기 MTJ 셀(200)을 통하여 반도체기판(111)으로 흐르게 되고 제1워드라인(121)이 하이 (high) 가 되어 MTJ 셀(200)을 통한 전류가 수직구조의 트랜지스터를 통해 반도체기판(111)으로 빠져나가게 된다. 이를 방지하기 위하여 상기 반도체기판(111)에 전압 또는 전류를 인가해 그라운드 (ground) 전위를 높여줌으로써 MTJ 셀(200)을 통한 전류가 트랜지스터를 통해 반도체기판(200)으로 빠져나가지 못하도록 한다.

이때, 상기 반도체기판(111)에 V_{ss} 접지전압을 인가하거나, V_{ds} 기판 전압을 인가할 수도 있다.

효율적 효과

이상에서 설명한 바와 같이 본 발명에 따른 마그네틱 램 및 그 형성방법은, 수직구조의 트랜지스터를 사용하여 제조공정 및 고집적화를 가능하게 하며, 숫채널효과 특성을 향상시키고 저항 차이를 이용한 MRAM의 저항 제어도를 향상시킬 수 있어 소자의 특성 및 신뢰성을 향상시킬 수 있는 효과를 제공한다.

(57) 청구의 범위

청구항 1

마그네틱 램에 있어서,
채널이 반도체기판에 수직하게 형성되는 수직구조의 트랜지스터와;
상기 트랜지스터의 게이트전극이 연결된 제1워드라인과;
상기 트랜지스터에 접속되는 콘택 라인과;
상기 콘택 라인에 적층되는 MTJ 셀과;
상기 MTJ 셀에 적층되는 비트라인과;
상기 비트라인 상부의 상기 MTJ 셀 상층에 적층되는 제2워드라인으로 구성되는 마그네틱 램.

청구항 2

제 1 항에 있어서,
상기 수직구조의 트랜지스터는 상기 원형기둥 형태로 소오스/드레인 접합영역이 구비되는 반도체기판 측벽에 게이트산화막 및 게이트전극이 형성된 것을 특징으로하는 마그네틱 램.

청구항 3

제 2 항에 있어서,
상기 원형기둥의 상층에 드레인 접합영역이 구비되고, 상기 원형기둥의 하측 및 반도체기판 표면에 소오스 접합영역이 구비되는 것을 특징으로하는 마그네틱 램.

청구항 4

제 1 항에 있어서,
상기 원형기둥은 0.5 μm 이상의 높이로 구비되는 것을 특징으로하는 마그네틱 램.

청구항 5

제 1 항에 있어서,
상기 MTJ 셀은 반자성층, 고정 강자성층, 터널 접합층 및 자유 강자성층으로 적층구조로 구비되는 것을 특징으로하는 마그네틱 램.

청구항 6

제 1 항에 있어서,
상기 MTJ 셀은 상기 비트라인과 제2워드라인이 중첩되는 크기로 구비되는 것을 특징으로하는 마그네틱 램.

청구항 7

제 1 항에 있어서,
상기 비트라인은 제1워드라인에 직교하고, 상기 제2워드라인은 상기 비트라인과 직교하며 상기 제1워드라인에 평행하게 구비되는 것을 특징으로하는 마그네틱 램.

청구항 8

마그네틱 램 형성방법에 있어서,
반도체기판을 액티브 마스크를 이용한 사진식각공정으로 식각하여 원형기둥을 형성하는 공정과,
전체표면상부에 게이트산화막을 형성하는 공정과,
전면에 고농도의 불순물을 이온주입하고 드라이브-인하여 상기 원형기둥의 상층에 드레인 접합영역을 형성하며 상기 원형기둥의 하측 및 반도체기판 표면에 소오스 접합영역을 형성하는 공정과,
상기 드레인 접합영역을 노출시키는 평탄화된 게이트전극을 도전층을 형성하고 이를 패터닝하여 게이트전극인 제1워드라인을 형성하는 공정과,
전체표면상부를 평탄화시키는 제1층간절연막을 형성하는 공정과,

상기 제1출간절연막을 통하여 상기 드레인 접합영역에 접속되는 콘택라인을 증착하는 공정과,
 상기 콘택라인 상부에 반자성층, 고정 강자성층, 터널 접합층 및 자유 강자성층을 형성하는 공정과,
 MTJ 셀 마스크를 이용한 사진식각공정으로 상기 콘택라인, 반자성층, 고정 강자성층, 터널 접합층 및 자유 강자성층을 패터닝하여 MTJ 셀을 형성하는 공정과,
 상기 MTJ 셀을 노출시키는 평탄화된 제2출간절연막을 형성하는 공정과,
 상기 자유 강자성층에 접속되는 비트라인을 형성하는 공정과,
 상기 비트라인 상부의 MTJ 셀 상측에 제2워드라인을 형성하는 공정을 포함하는 마그네틱 램 형성방법.

청구항 9

제 8 항에 있어서,

상기 고농도의 불순물의 이온주입공정은 5E14 이상의 도즈량을 30keV 이상의 에너지로 주입하여 실시하는 것을 특징으로 하는 마그네틱 램 형성방법.

청구항 10

마그네틱 램 형성방법에 있어서,

반도체기판을 액티브 마스크를 이용한 사진식각공정으로 식각하여 원형기둥을 형성하는 공정과,

전체표면상부에 게이트산화막을 형성하는 공정과,

전면에 고농도의 불순물을 이온주입하고 드라이브-인하여 상기 원형기둥의 상측에 드레인 접합영역을 형성하여 상기 원형기둥의 하측 및 반도체기판 표면에 소오스 접합영역을 형성하는 공정과,

전체표면상부에 소정두께 게이트전극용 도전층을 형성하고 이를 미방성식각하여 상기 원형기둥의 측벽에 도전층 스페이서 형태를 갖는 게이트전극, 즉 제1워드라인을 형성하는 공정과,

전체표면상부를 평탄화시키는 제1출간절연막을 형성하는 공정과,

상기 제1출간절연막을 통하여 상기 드레인 접합영역에 접속되는 콘택라인을 증착하는 공정과,

상기 콘택라인 상부에 반자성층, 고정 강자성층, 터널 접합층 및 자유 강자성층을 형성하는 공정과,

MTJ 셀 마스크를 이용한 사진식각공정으로 상기 콘택라인, 반자성층, 고정 강자성층, 터널 접합층 및 자유 강자성층을 패터닝하여 MTJ 셀을 형성하는 공정과,

상기 MTJ 셀을 노출시키는 평탄화된 제2출간절연막을 형성하는 공정과,

상기 자유 강자성층에 접속되는 비트라인을 형성하는 공정과,

상기 비트라인 상부의 MTJ 셀 상측에 제2워드라인을 형성하는 공정을 포함하는 마그네틱 램 형성방법.

청구항 11

제 10 항에 있어서,

상기 고농도의 불순물의 이온주입공정은 5E14 이상의 도즈량을 30keV 이상의 에너지로 주입하여 실시하는 것을 특징으로 하는 마그네틱 램 형성방법.

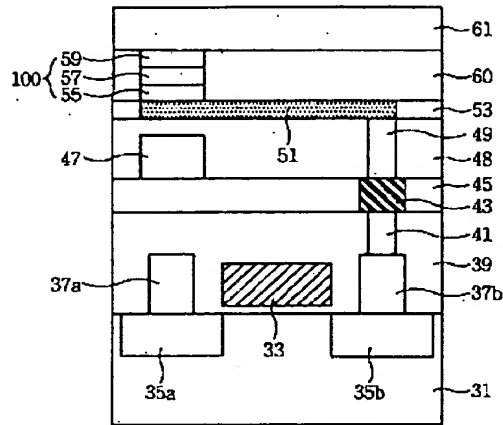
청구항 12

제 1 항에 있어서,

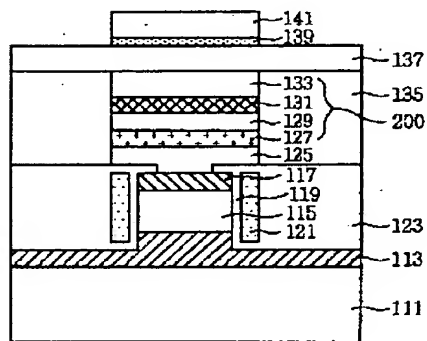
상기 제1워드라인 간의 간격을 하나의 워드라인 상에 구비되는 원형기둥 사이 간격의 1.5 배 이상의 크기로 디자인하고 게이트전극용 도전층 증착후 미방성식각하여 별도의 마스크 없이 제1워드라인을 형성하는 것을 특징으로 하는 마그네틱 램 형성방법.

도면

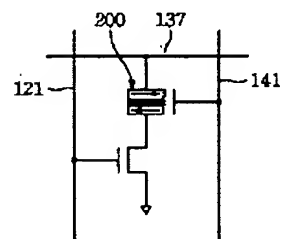
도면 1



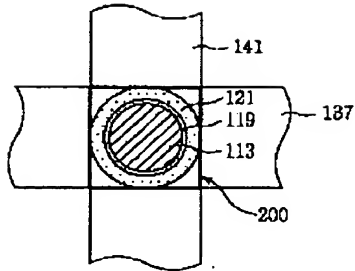
도면 2a



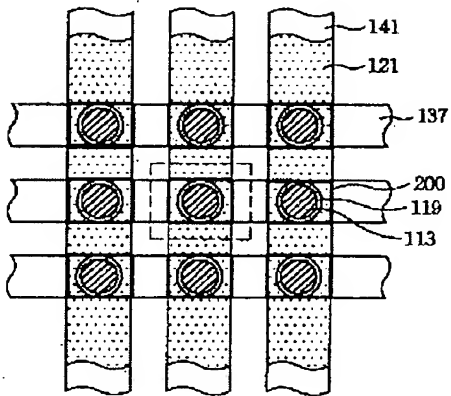
도면 2b



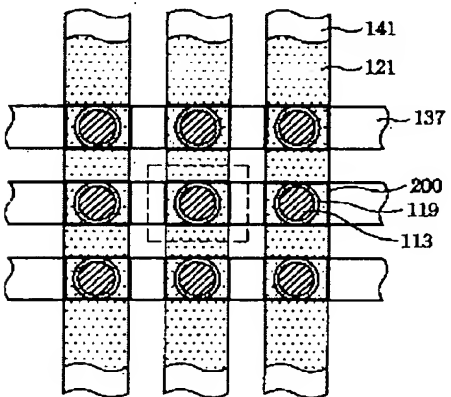
도면 26



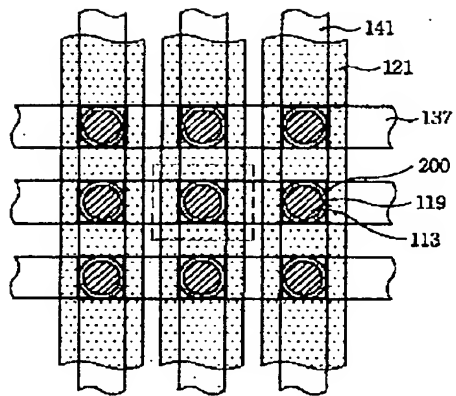
도면 27



도면 28



도면5



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.